МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РФ

Федеральное государственное автономное

образовательное учреждение высшего образования

«Национальный исследовательский университет ИТМО»

**ФАКУЛЬТЕТ ПРОГРАММНОЙ ИНЖЕНЕРИИ И КОМПЬЮТЕРНОЙ ТЕХНИКИ**



**ЛАБОРАТОРНАЯ РАБОТА №1**

по дисциплине

"Функциональная схемотехника"

Вариант №7

**Выполнила:**

студентка группы P33082

Савельева Диана Александровна

**Преподаватель:**

[Кустарев Павел Валерьевич](https://my.itmo.ru/persons/104611)

**1. Цели работы**

* Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.
* Познакомиться с технологией SPICE-моделирования схем на транзисторах.
* Получить навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентильном уровне с использованием языка описания аппаратуры Verilog HDL.

**2. Задание**

Лабораторная работа состоит из двух частей.

Первая часть посвящена проектированию цифровых вентилей на полевых транзисторах, построению схем на базе вентилей и знакомству с технологией SPICE моделирования. Первая часть работы выполняется в программном пакете LTspice.

При построении схем вентилей необходимо использовать КМОП-транзисторы с параметрами из файла, предоставленного преподавателем (см. раздел «Основы работы в среде LTspice»).

Вторая часть посвящена знакомству с языком описания аппаратуры Verilog HDL, изучению особенностей его использования для описания схем на вентильном уровне и приобретению навыков тестирования таких схем. Вторая часть работы выполняется с использованием Vivado Simulator, входящего в пакет Vivado Design Suite (см. раздел «Основы работы в среде Vivado Design Suite»).

| **Вариант №** | **Логический базис** | **БОЭ** |
| --- | --- | --- |
| 2 | NOR | Четырехразрядный двоичный сумматор с переносом |

**3. Ход работы**

**Часть 1**

1. Постройте в LTspice на транзисторах схему вентиля NOR, составляющего основу логического базиса согласно варианту задания.

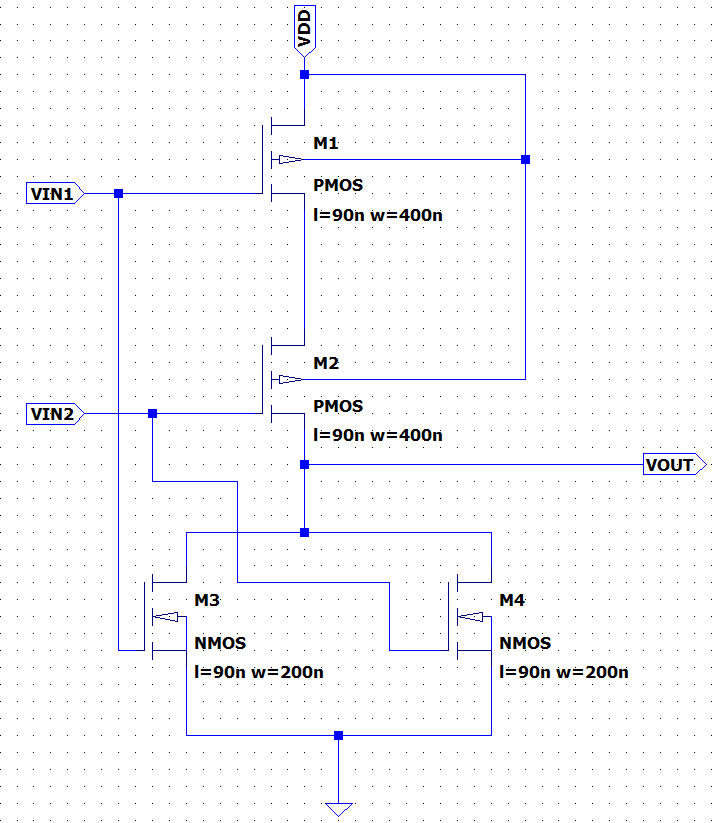


Рисунок 1 - Схема вентиля NOR

1. Создайте символ для разработанного вентиля **NOR** как иерархического элемента.

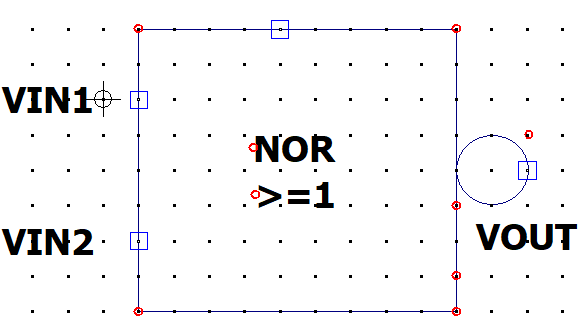
****

Рисунок 2 - Символ вентиля NOR

1. С использованием созданного иерархического элемента **NOR** постройте схему тестирования вентиля.

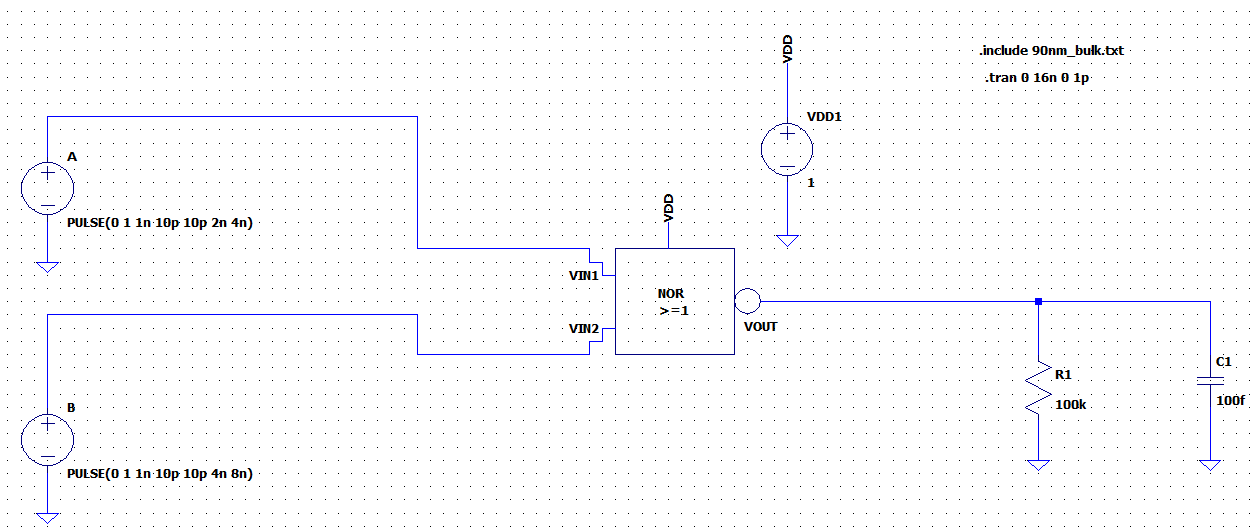


Рисунок 3 - Схема тестирования вентиля NOR

1. Проведите моделирование работы схемы **NOR** и определите задержку распространения сигнала через тестируемый вентиль.

На рисунке 4 изображена временная диаграмма тестирования вентиля NOR.

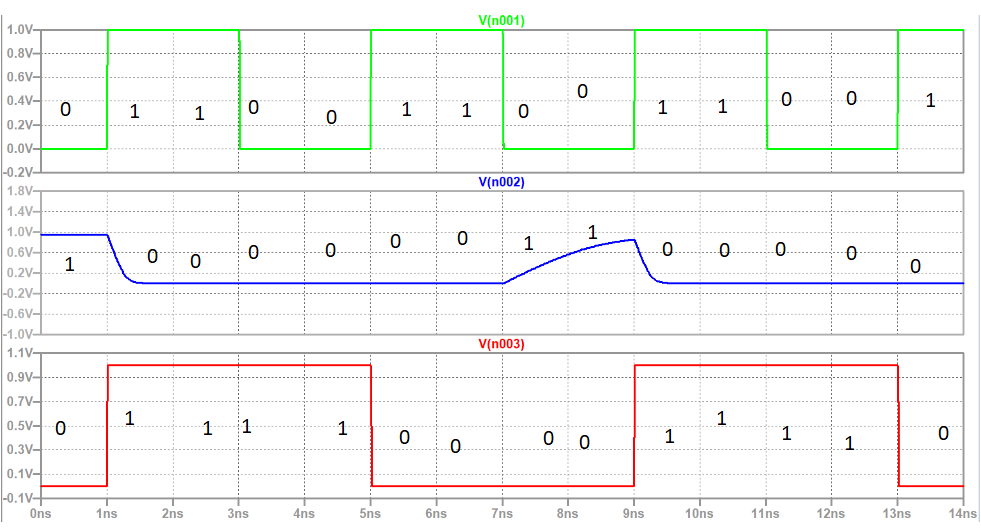


Рисунок 4 - Временная диаграмма тестирования вентиля NOR

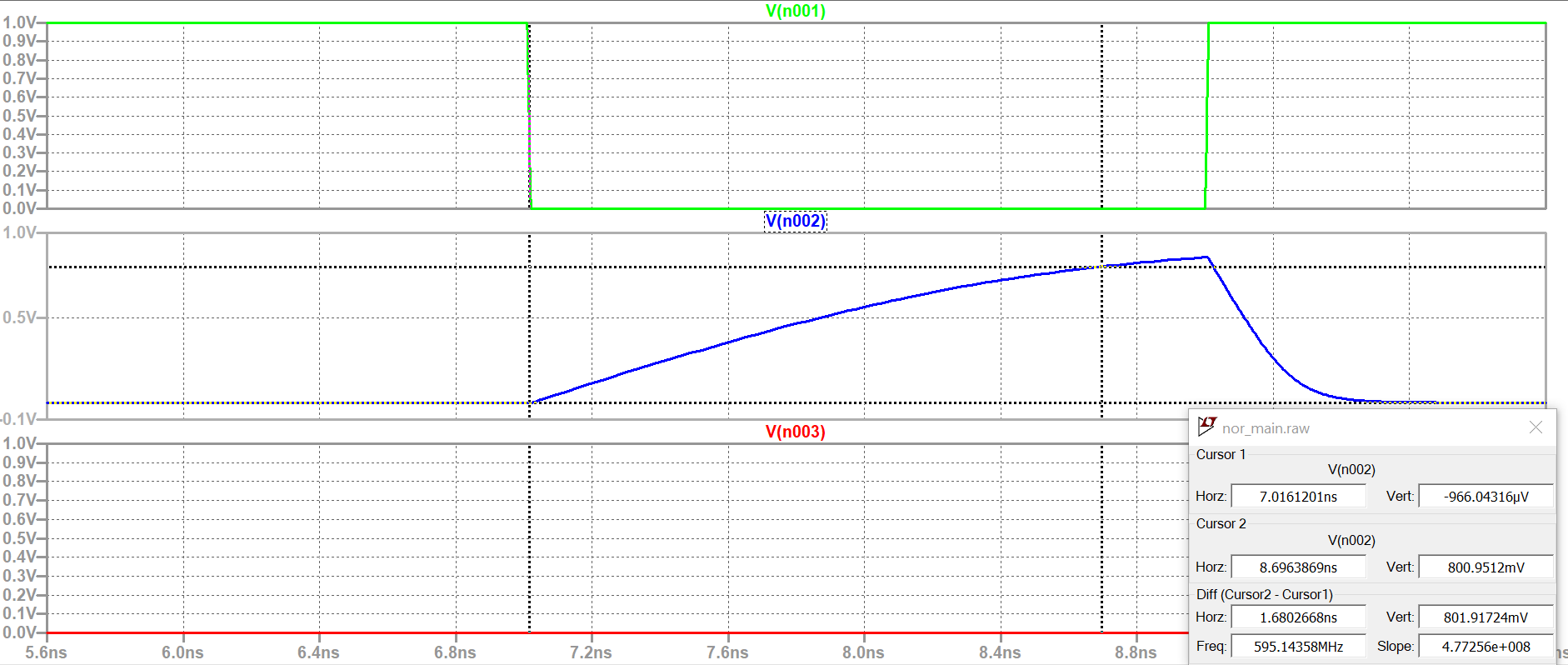


Рисунок 5 - Задержка распространения сигнала (спада)

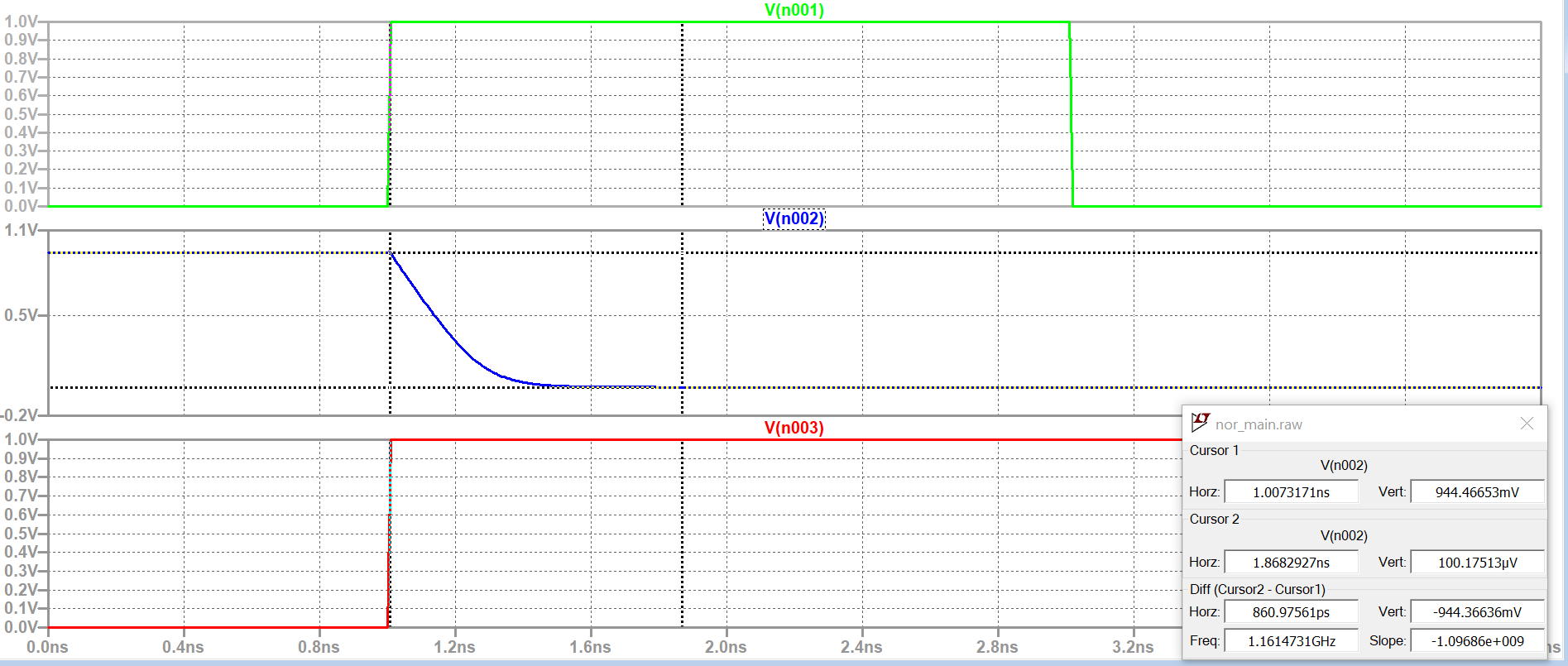


Рисунок 6 - Задержка распространения сигнала (фронта)

1) Задержка распространения **tpd1 (фронт)** = t2 - t1 = 8.69ns - 7.0411ns = 0.86ns

2) Задержка распространения **tpd2 (спад)** = t2 - t1 = 8.69ns - 7.001ns = 1.68ns

Задержка распространения tpd – это максимальное время от начала изменения входа до момента, когда все выходы достигнуты.

1. Определите максимальную частоту изменения входных сигналов, при которой построенная схема NOR сохраняет работоспособность.

Максимальная частота изменения входных сигналов:

**v** = 1/ (tpd1+tpd2) = 1/(1.68+0.86) = 1/2.157 = 0,393 ГГц = 393 МГц.

1. Постройте БОЭ **“Четырехразрядный двоичный сумматор с переносом”** на базе созданного вентиля **NOR.**

На рисунке 7 изображен БОЭ **“Четырехразрядный двоичный сумматор с переносом”**.

Для простоты чтения схемы четырехразрядный двоичный сумматор с переносом разбит на одноразрядные двоичные сумматоры. Их необходимо 4 для корректной реализации четырехразрядного сумматора. Перенос для четырехразрядного сумматора предусмотрен последовательный.

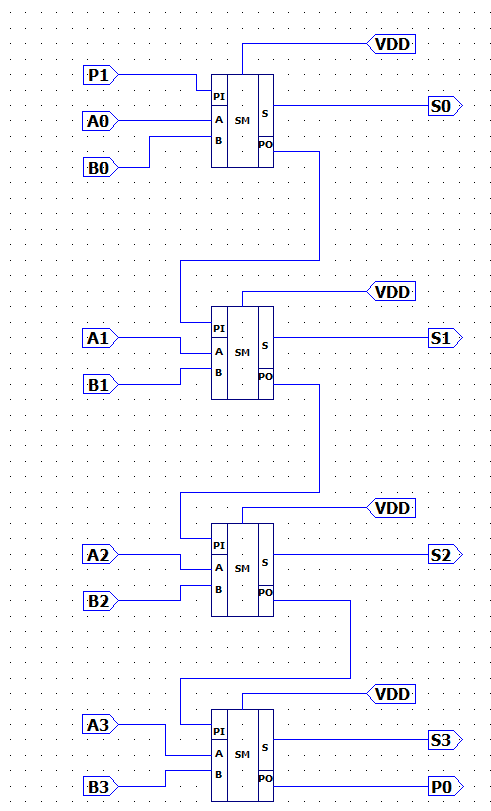


Рисунок 7 - Четырехразрядный двоичный сумматор с переносом

Четырехразрядный двоичный сумматор с переносом имеет 9 входов и 5 выходов.

На рисунках 8 и 9 изображена схема одноразрядного двоичного сумматора с переносом и символ данного БОЭ соответственно. Он составлен из других вентилей, реализованных с помощью базисного вентиля NOR. Все элементы (схемы, символы, схемы тестирования и временные диаграммы), использованные для реализации одноразрядного сумматора, представлены в приложении А.

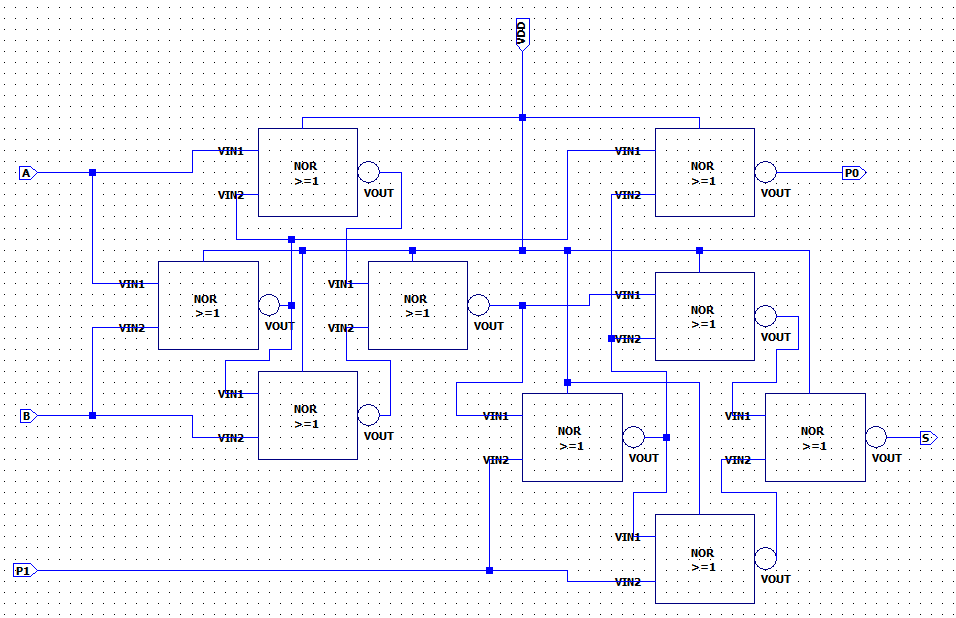


Рисунок 8 - Одноразрядный двоичный сумматор с переносом

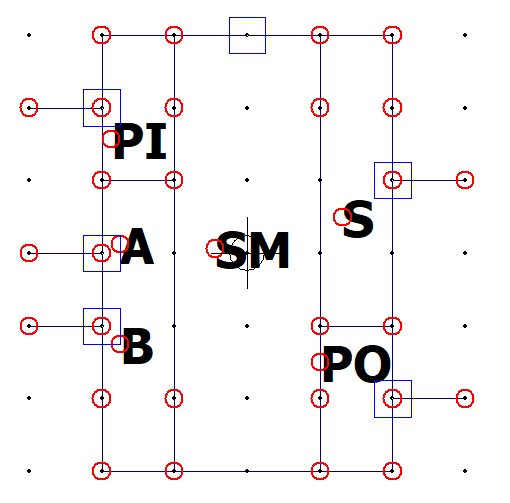


Рисунок 9 - Одноразрядный двоичный сумматор с переносом (символ)

На рисунке 10 представлена схема тестирования одноразрядного двоичного сумматора с переносом.

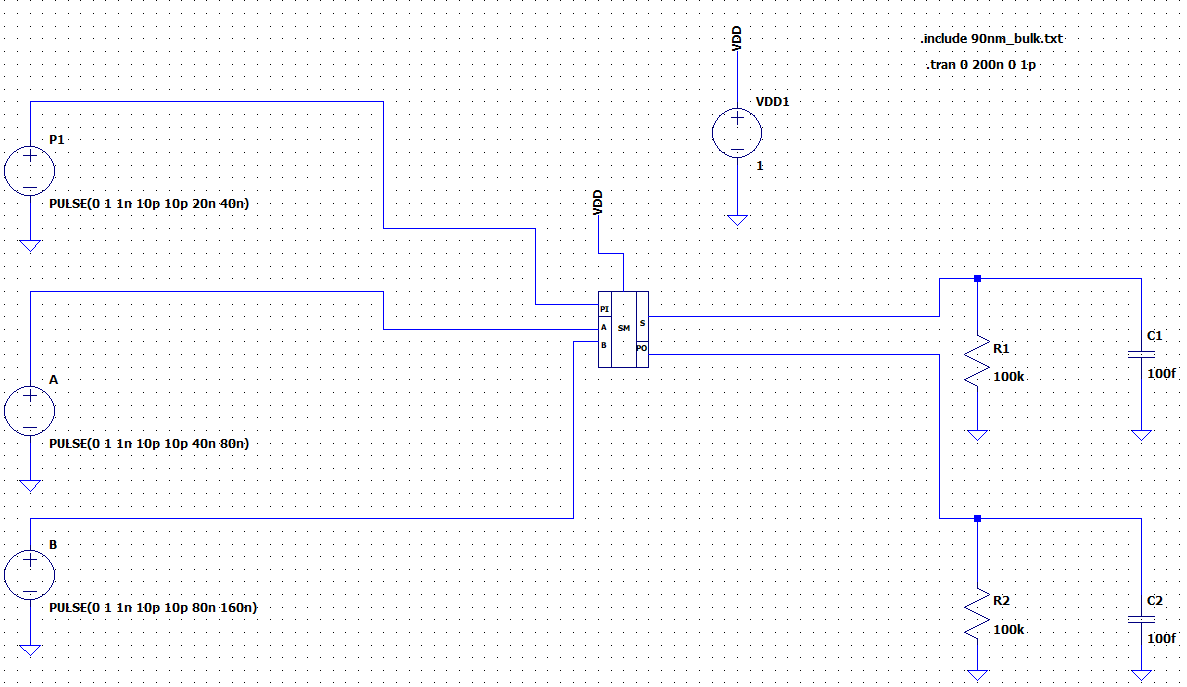


Рисунок 10 - Схема тестирования одноразрядного двоичного сумматора с переносом

На рисунке 11 представлена временная диаграмма тестирования одноразрядного двоичного сумматора с переносом.

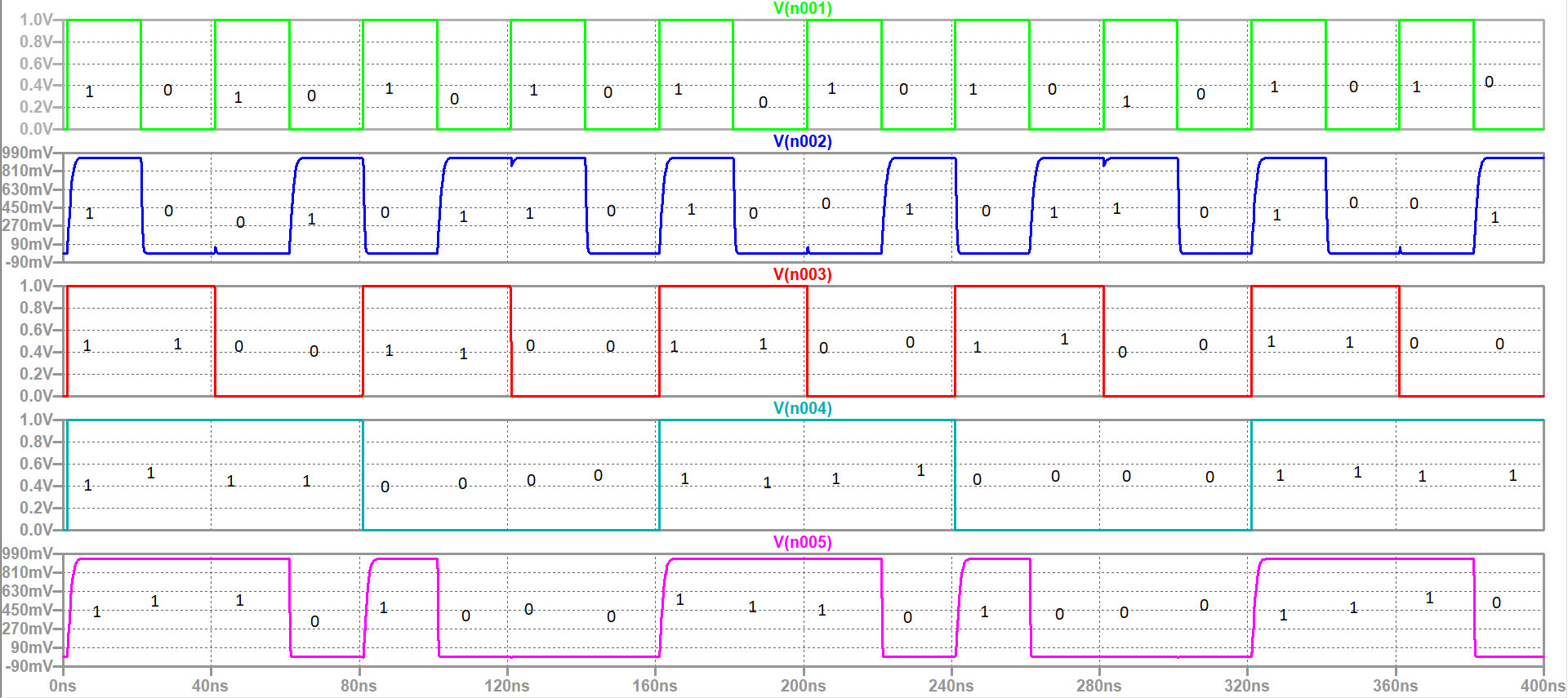


Рисунок 11 - Временная диаграмма тестирования одноразрядного двоичного сумматора с переносом

Для одноразрядного двоичного сумматора действует следующая логика, представленная на рисунке 12.

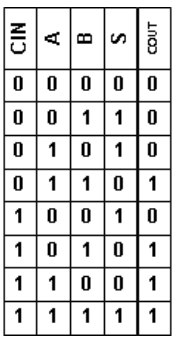


Рисунок 12 - Таблица истинности одноразрядного сумматора с переносом

Для одноразрядного двоичного сумматора с переносом посчитаем задержку распространения. На рисунках 13 и 14 представлен расчет данных показателей.

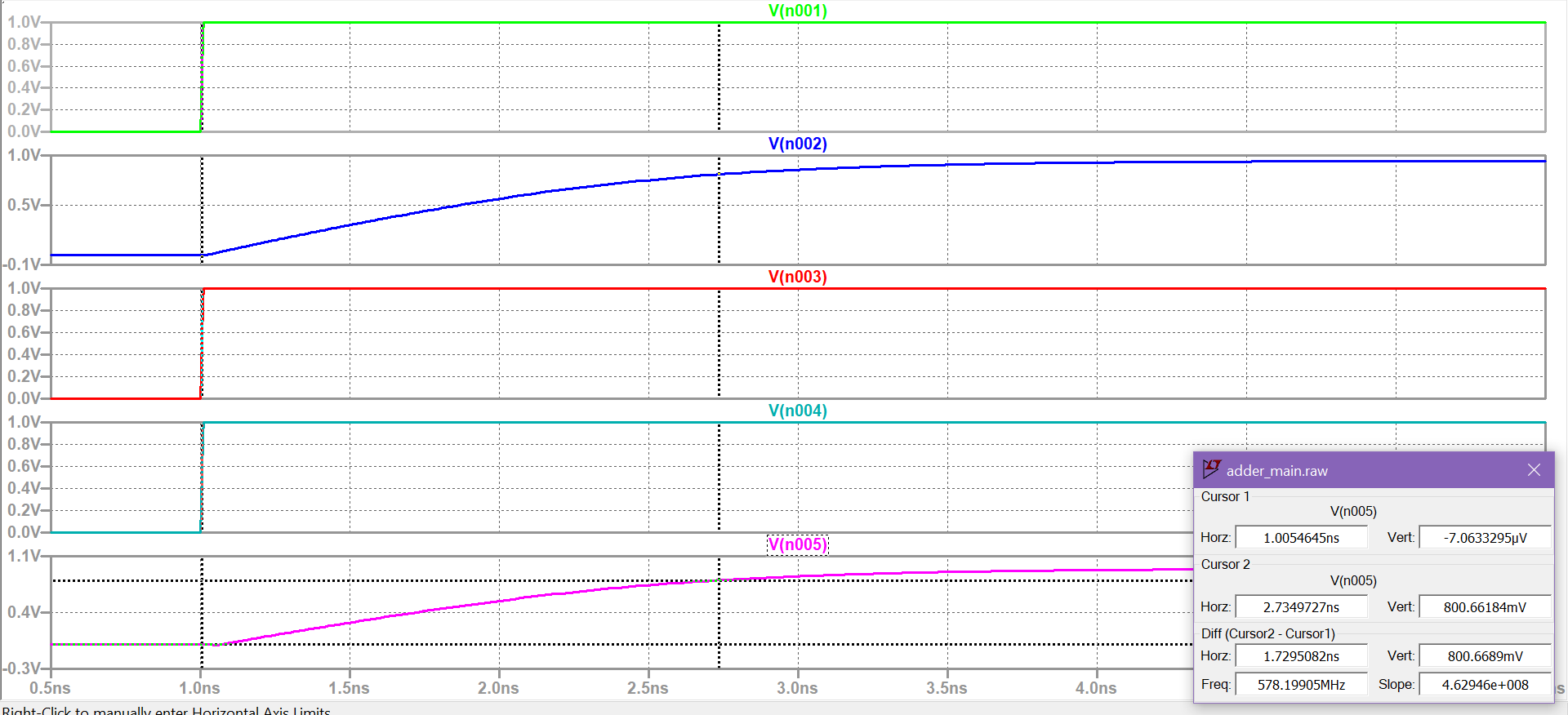


Рисунок 13 - Задержка распространения сигнала (фронта)

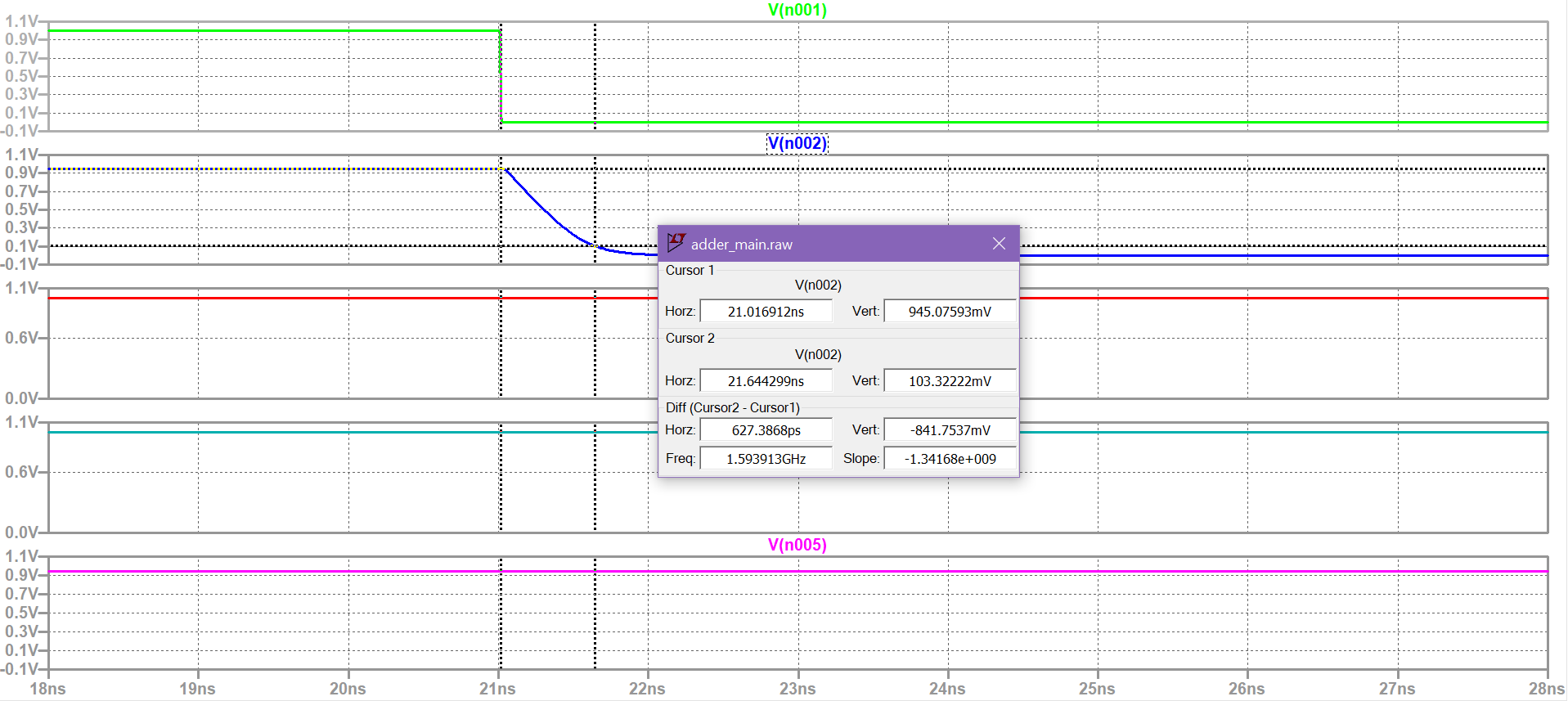


Рисунок 14 - Задержка распространения сигнала (спада)

1) Задержка распространения **tpd1 (фронт)** = 0.627ns

2) Задержка распространения **tpd2 (спад)** = 1.72ns

1. Создайте символ для построенного БОЭ “**Четырехразрядный двоичный сумматор с переносом**”.

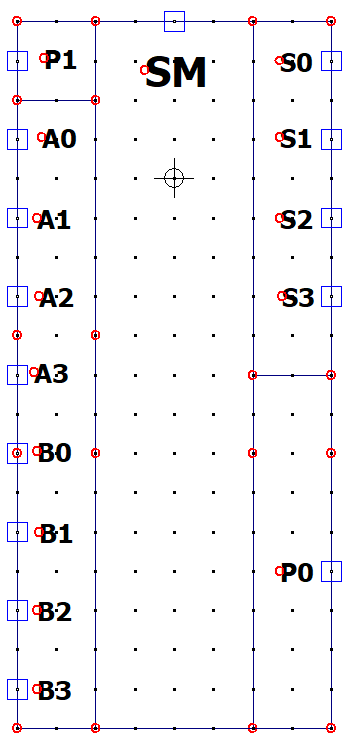


Рисунок 15 - Символ БОЭ “Четырехразрядный двоичный сумматор с переносом”

1. Проведите моделирование работы схемы и определите задержку распространения сигнала через БОЭ **“Четырехразрядный двоичный сумматор с переносом”**.

На рисунке 16 представлена схема тестирования БОЭ “Четырехразрядный двоичный сумматор с переносом”.

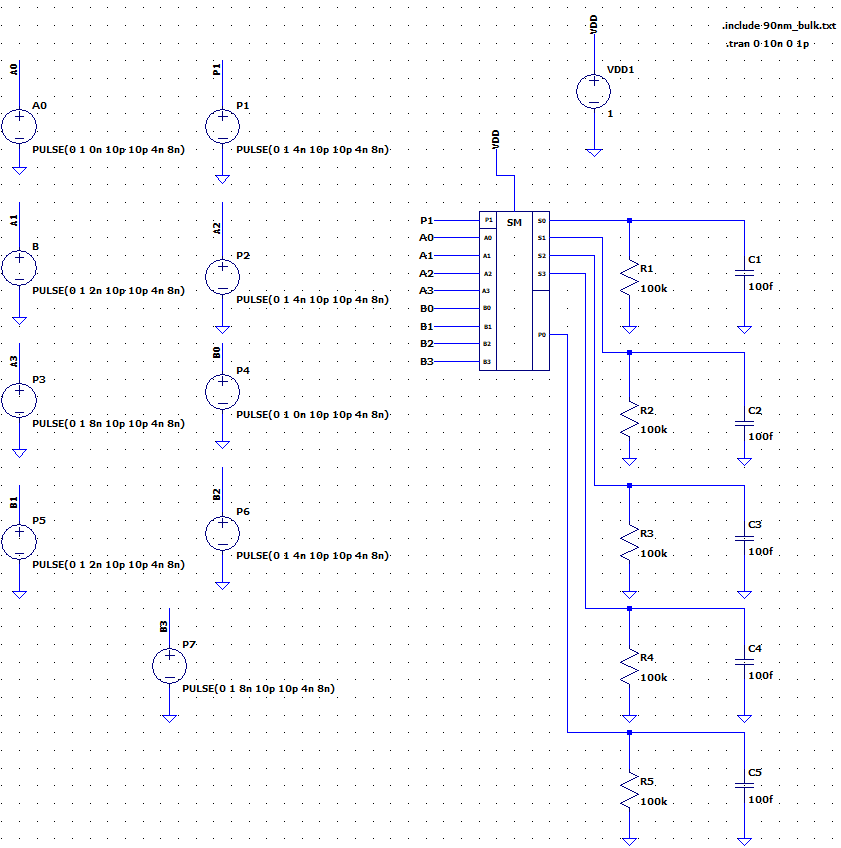


Рисунок 16 - Схема тестирования БОЭ “Четырехразрядный двоичный сумматор с переносом”

На рисунках 17 и 18 изображены временные диаграммы - результат моделирования схемы тестирования четырехразрядного двоичного сумматора с переносом.

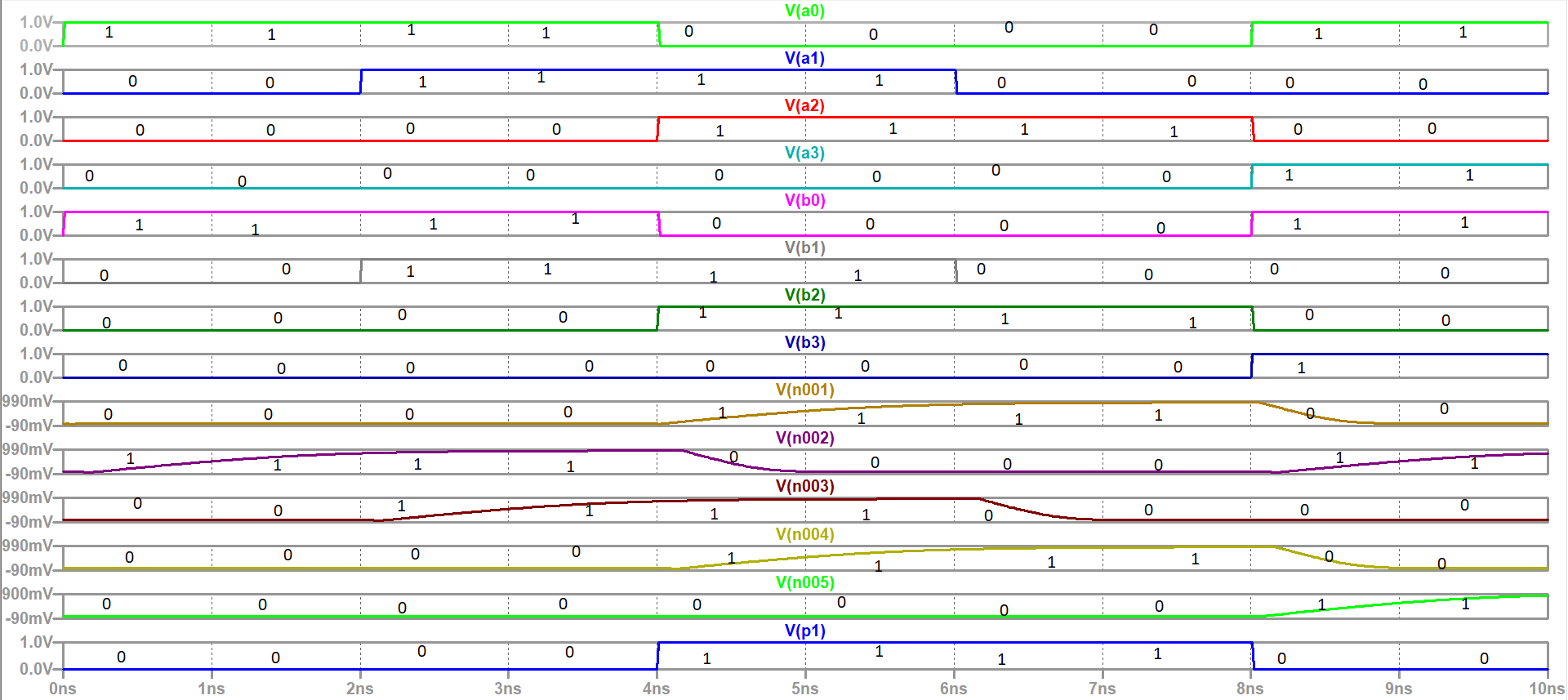


Рисунок 17 - Временная диаграмма тестирования четырехразрядного сумматора

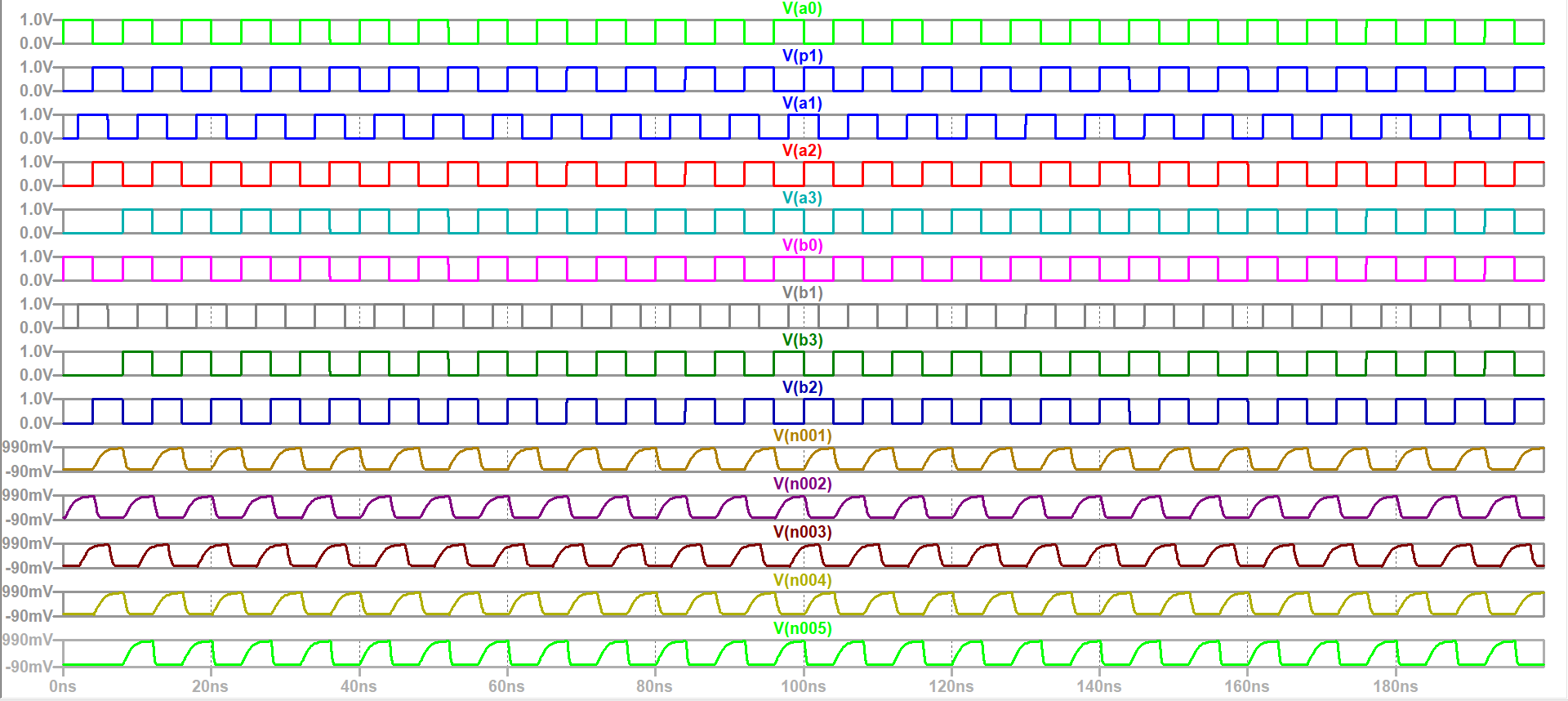


Рисунок 18 - Временная диаграмма тестирования четырехразрядного сумматора

На рисунках 19 и 20 представлено измерение времени задержки распространения.

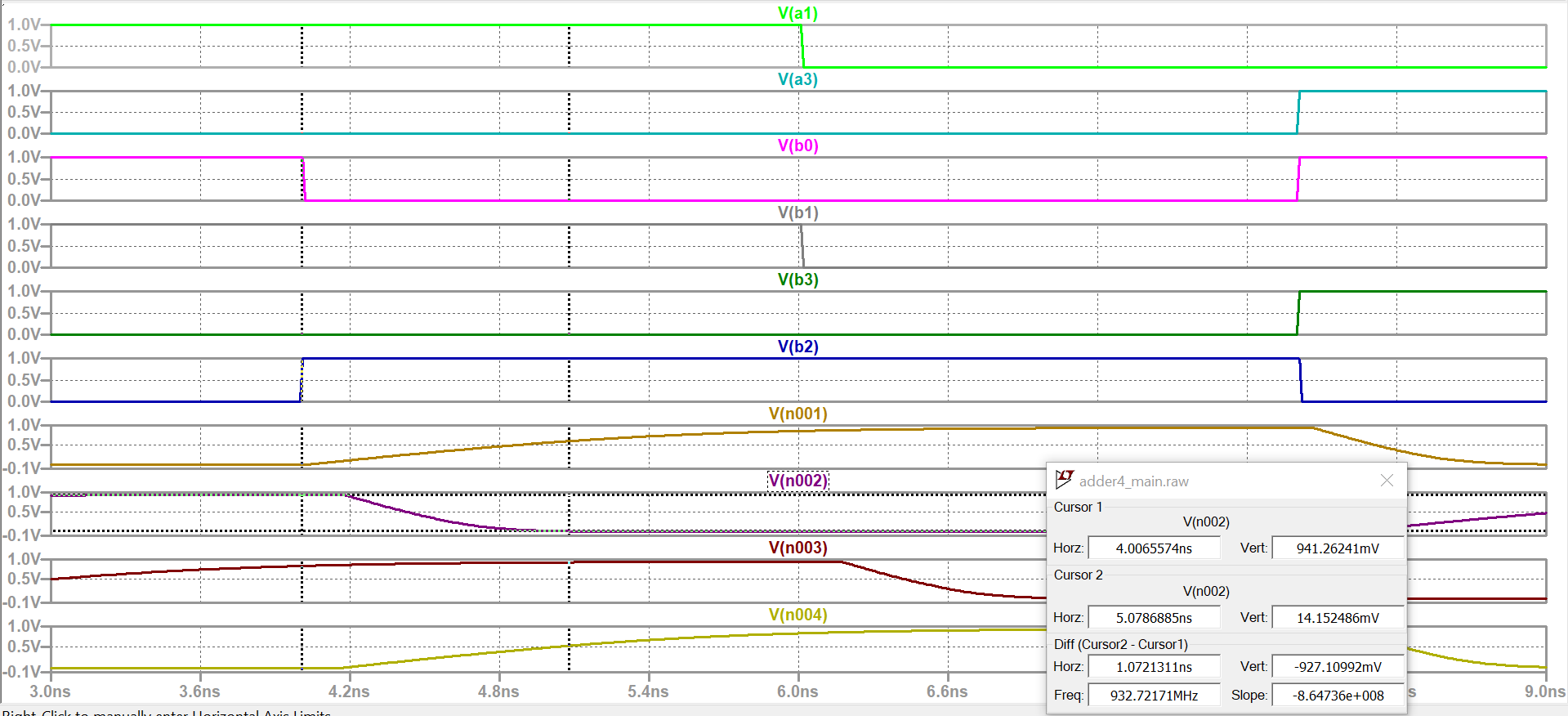


Рисунок 19 - Задержка распространения сигнала (фронта)

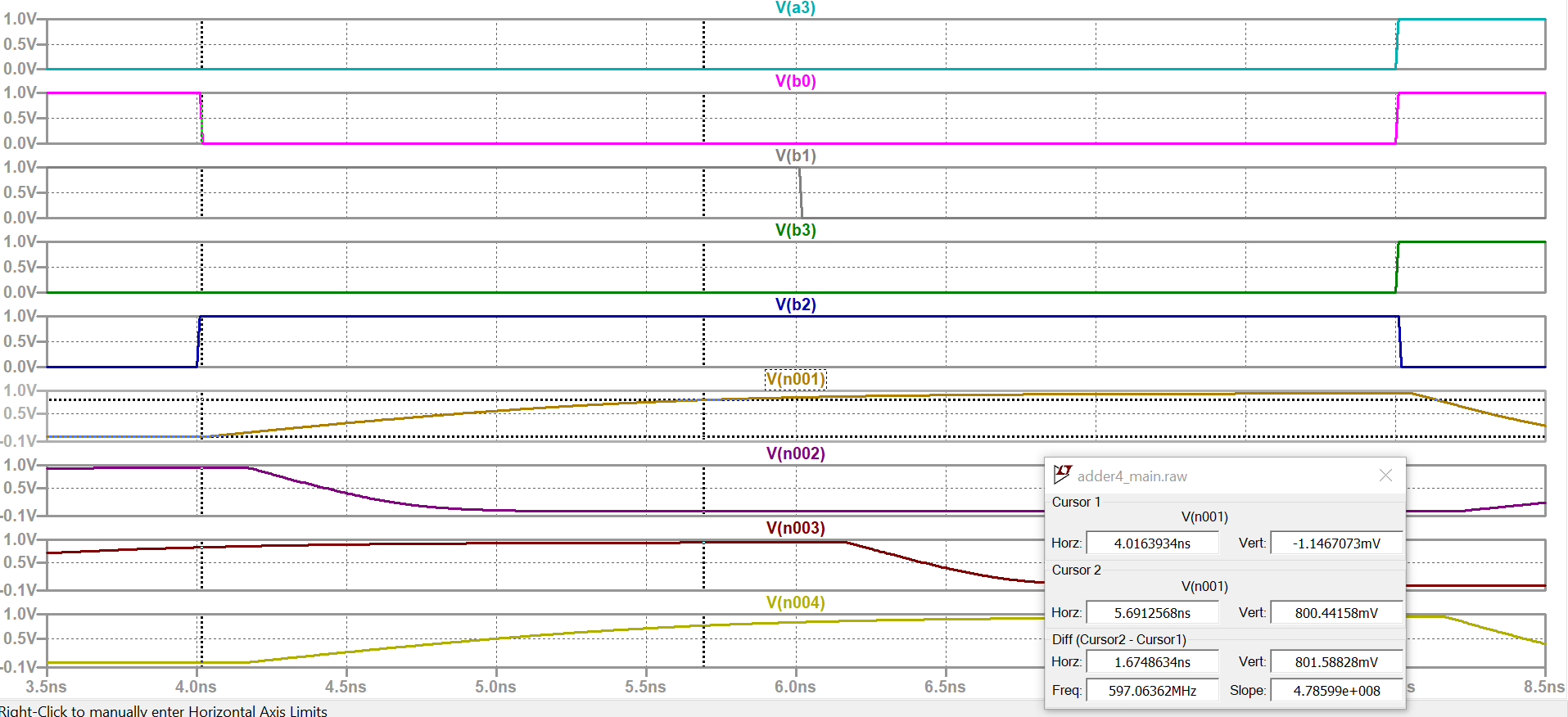


Рисунок 20 - Задержка распространения сигнала (спада)

1) Задержка распространения **tpd1 (фронт)** = 1.07ns

2) Задержка распространения **tpd2 (спад)** = 1.674ns

1. Определите максимальную частоту изменения входных сигналов, при которой построенная схема **“Четырехразрядный двоичный сумматор с переносом”** сохраняет работоспособность.

Максимальная частота изменения входных сигналов:

**v** = 1/ (tpd1+tpd2) = 1/(1.674+1.07) = 1/2.744 = 0,364 ГГц = 364 МГц.

**Часть 2**

1. Опишите на Verilog HDL на вентильном уровне модуль, реализующий функцию БОЭ в указанном логическом базисе согласно варианту задания

Ниже (на рисунке 21) приведен код (реализация) модуля для одноразрядного сумматора с переносом на Verilog.

`timescale 1ns / 1ps

// Module Name: adder

// Description: This module is a sequential transfer adder.

module adder(

input p1,

input a,

input b,

output s,

output p0

);

wire nor\_a\_b, nor\_a\_ab, nor\_b\_ab, nor\_aab\_bab,

nor\_p1\_\_aab\_bab, nor\_p1\_\_p1\_\_aab\_bab, nor\_aab\_bab\_\_p1\_\_aab\_bab;

nor(nor\_a\_b, a, b);

nor(nor\_a\_ab, a, nor\_a\_b);

nor(nor\_b\_ab, b, nor\_a\_b);

nor(nor\_aab\_bab, nor\_b\_ab, nor\_a\_ab);

nor(nor\_p1\_\_aab\_bab, p1, nor\_aab\_bab);

nor(nor\_p1\_\_p1\_\_aab\_bab, p1, nor\_p1\_\_aab\_bab);

nor(nor\_aab\_bab\_\_p1\_\_aab\_bab,nor\_aab\_bab,nor\_p1\_\_aab\_bab);

nor(s, nor\_aab\_bab\_\_p1\_\_aab\_bab, nor\_p1\_\_p1\_\_aab\_bab);// result s

nor(p0, nor\_a\_b,nor\_p1\_\_aab\_bab);//result p0

endmodule

Рисунок 21 - Модуль одноразрядного сумматора с переносом

Ниже (на рисунках 22 и 23) приведен код (реализация) для четырехразрядного сумматора с переносом.

`timescale 1ns / 1ps

// Module Name: adder4

// Description: This module is four-digit adder.

module adder4(

input [3:0] a,

input [3:0] b,

input p1,

output [3:0] s,

output p0

);

wire add1\_p0, add2\_p0, add3\_p0;

adder adder0(

.a(a[0]),

.b(b[0]),

.p1(p1),

.s(s[0]),

.p0(add1\_p0)

);

adder adder1(

.a(a[1]),

.b(b[1]),

.p1(add1\_p0),

.s(s[1]),

.p0(add2\_p0)

);

Рисунок 22 - Модуль одноразрядного сумматора с переносом

adder adder2(

.a(a[2]),

.b(b[2]),

.p1(add2\_p0),

.s(s[2]),

.p0(add3\_p0)

);

adder adder3(

.a(a[3]),

.b(b[3]),

.p1(add3\_p0),

.s(s[3]),

.p0(p0)

);

endmodule

Рисунок 23 - Модуль одноразрядного сумматора с переносом

2. Разработайте тестовое окружение для созданного модуля.

Ниже (на рисунках 24 - 25) приведен код модуля тестирования. Для тестирования был разработан промежуточный модуль для сумматор adder4\_calc.

`timescale 1ns / 1ps

module adder4\_calc(

input [3:0] a,

input [3:0] b,

input p1,

output [3:0] s,

output p0);

assign {p0, s} = a + b + p1;

endmodule

`timescale 1ns / 1ps

module adder4\_test();

reg [3:0] a\_in, b\_in;

reg p1\_in;

wire [3:0] s\_real;

wire p0\_real;

adder4 adder\_real(

.a(a\_in),

.b(b\_in),

.p1(p1\_in),

.s(s\_real),

.p0(p0\_real)

);

wire [3:0] s\_expected;

wire p0\_expected;

adder4\_calc adder\_expected(

Рисунок 24 - Модуль тестирования

.a(a\_in),

.b(b\_in),

.p1(p1\_in),

.s(s\_expected),

.p0(p0\_expected)

);

integer i, j, k;

wire [4:0] result\_real;

wire [4:0] result\_expected;

assign result\_real = {s\_real, p0\_real};

assign result\_expected = {s\_expected, p0\_expected};

initial begin

for (k = 0; k < 2; k = k + 1) begin

for(i = 0; i < 16; i = i + 1) begin

for(j = 0; j < 16; j = j + 1) begin

a\_in = i;

b\_in = j;

p1\_in = k;

#10

if(result\_real != result\_expected) begin

$display("TEST FAILED %b + %b != %b", i, j, result\_expected);

end else begin

$display("TEST PASSED %b + %b", i, j);

end

end

end

end

#10 $stop;

end

endmodule

Рисунок 25 - Модуль тестирования

На рисунке 26 представлены логи тестов для разработанного модуля.

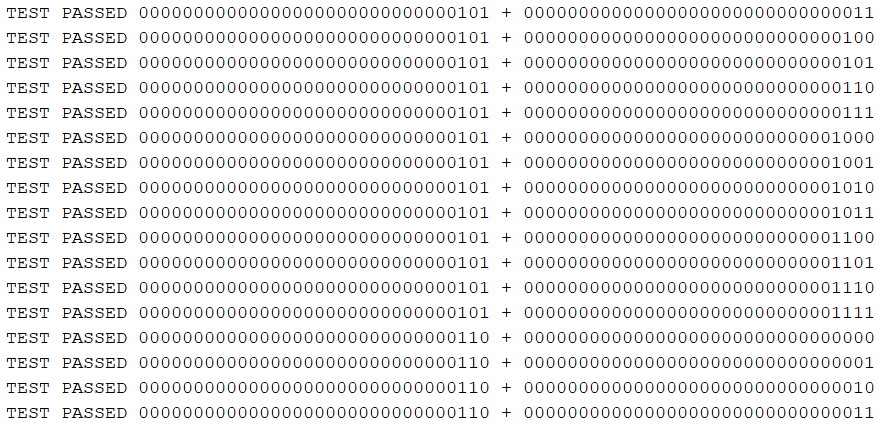


Рисунок 26 - Пройденные тесты

На рисунках 27 - 28 представлены временные диаграммы. Для удобства проверки данные переведены в десятичную систему счисления.

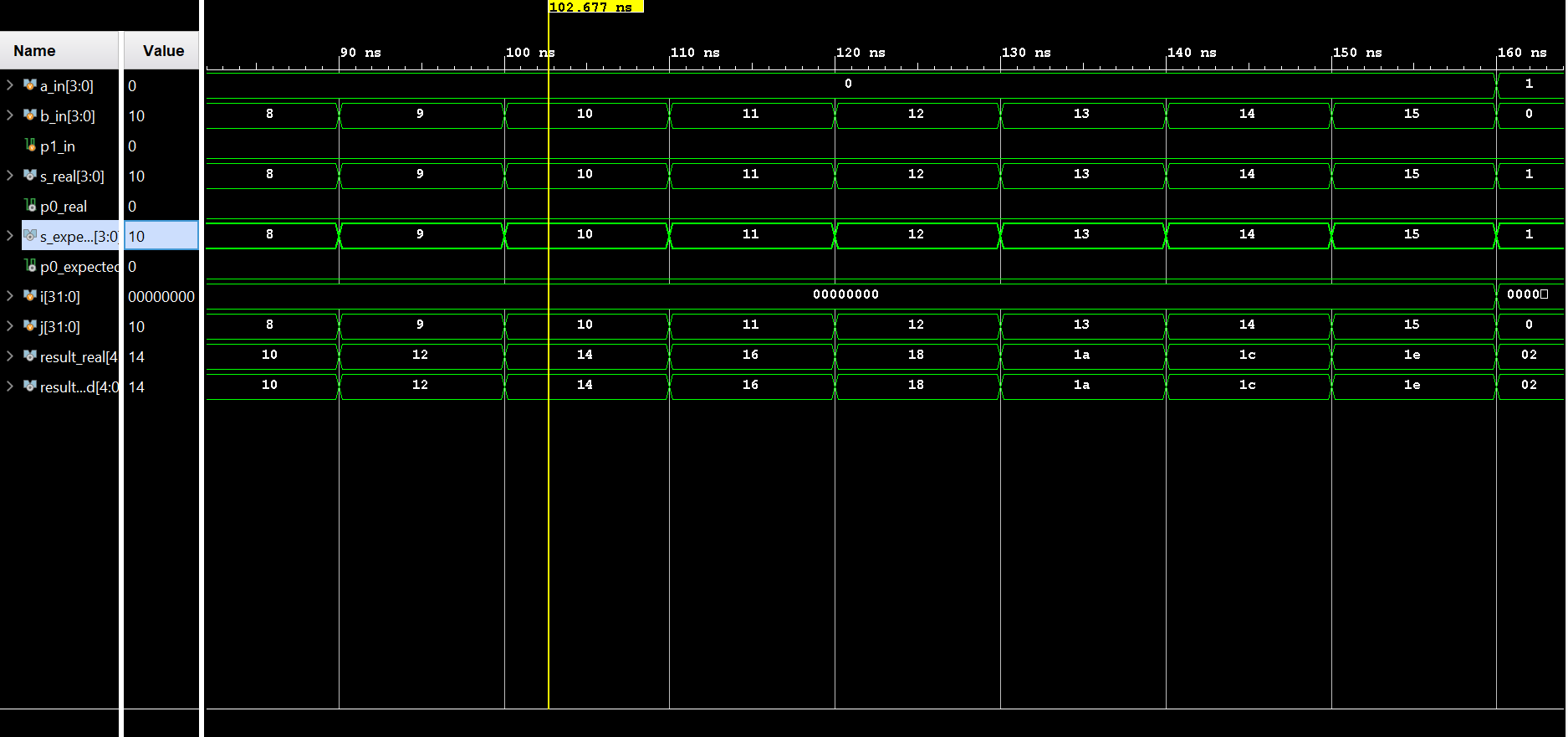
****

Рисунок 27 - Временная диаграмма тестирования сумматора

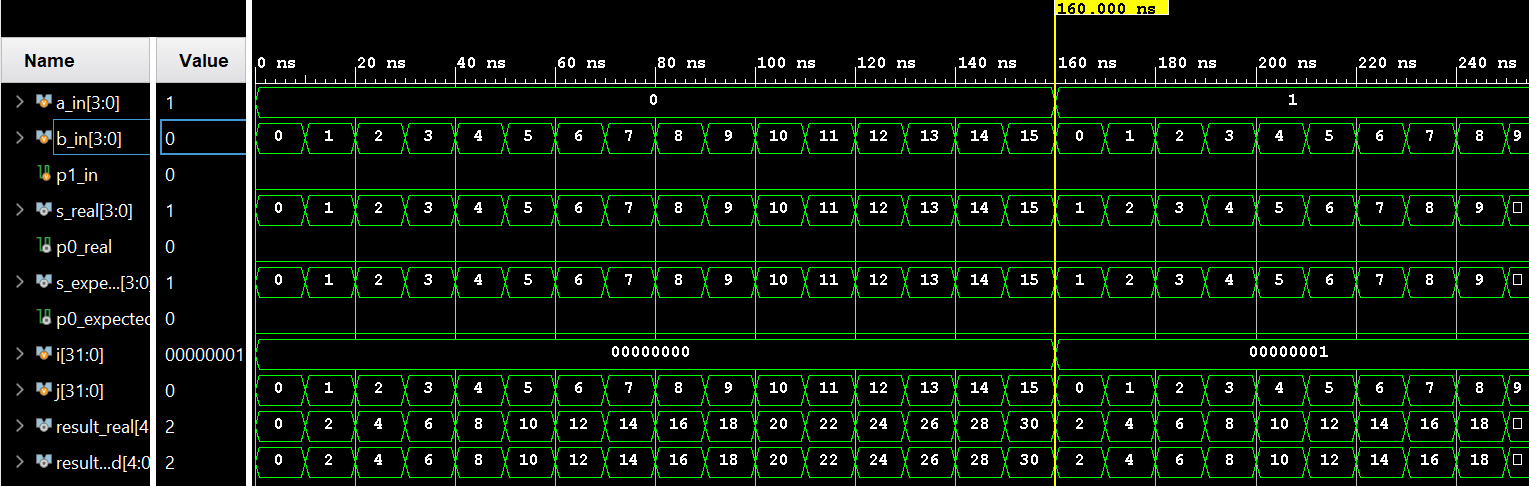
****

Рисунок 28 - Временная диаграмма тестирования сумматора

**Выводы**

В результате выполнения лабораторной работы я ознакомилась и поработала с инструментами LTSpice и Vivado. С помощью Vivado я изучила Verilog и построила временные диаграммы для разработанных модулей для четырехразрядного сумматора с переносом.

В результате, были подсчитаны задержки распространения для базового элемента NOR. Она составила для фронта - **0.86ns**, для спада - **1.68ns**.

Задержка распространения для одноразрядного сумматора составила для фронта - **0.627n**s , для спада -**1.72ns**.

Для четырехразрядного сумматора задержка распространения составила для фронта - **1.07ns**, для спада -**1.674ns**.

Важно заметить, что несмотря на количество базисных элементов NOR внутри схемы (их 9), задержка увеличивается не так уж и сильно. Задержка распространения возникает из-за переключения транзисторов.